

SEC.701

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :

Jae-yoon SIM et al. : Attn: Applications Branch

Serial No.: [NEW] : Attorney Docket No.: SEC.701

Filed: March 31, 2000 :

For: HIGH FREQUENCY EQUALIZER USING DEMULTIPLEXING TECHNIQUE
AND RELATED SEMICONDUCTOR DEVICE



CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Korean application:

Appln. No. 1999-16006 filed May 4, 1999

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

JONES VOLENTINE, L.L.P.

Brian C. Altmiller
Registration No. 37,271

JONES VOLENTINE, L.L.P.
12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870

Dated: March 31, 2000

Jc586 U.S. PTO
09/542042
03/31/00

대한민국 특허청

KOREAN INDUSTRIAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 : 1999년 특허출원 제16006호
Application Number

출원 년 월 일 : 1999년 5월 4일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

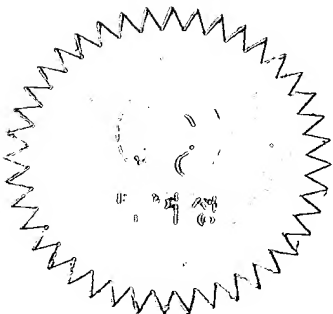
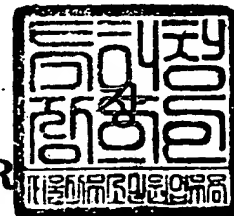
1999 년 5 월 28 일

특

허

청

COMMISSIONER



1999/5/31

【서류명】	출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	6
【제출일자】	1999.05.04
【국제특허분류】	H01L
【발명의 명칭】	디멀티플렉싱 기법을 이용한 고주파 복원기 및 이를 이용한 반도체 장치
【발명의 영문명칭】	High frequency equalizer using demultiplexing technique, and semiconductor device using the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	권석흠
【대리인코드】	9-1998-000117-4
【포괄위임등록번호】	1999-009576-5
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	심재윤
【성명의 영문표기】	SIM, Jae Yoon
【주민등록번호】	690718-1559619
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 955-1 주공1단지아파트 127동 502호
【국적】	KR

1999/5/31

【발명자】

【성명의 국문표기】	박홍준
【성명의 영문표기】	PARK,Hong Joon
【주민등록번호】	561011-1902227
【우편번호】	790-390
【주소】	경상북도 포항시 남구 지곡동 교수숙소 9동 802호
【국적】	KR

【발명자】

【성명의 국문표기】	조수인
【성명의 영문표기】	CHO,Soo In
【주민등록번호】	570113-1053111
【우편번호】	137-040
【주소】	서울특별시 서초구 반포동 32-5 서초한양아파트 6동 1005호
【국적】	KR

【발명자】

【성명의 국문표기】	이정배
【성명의 영문표기】	LEE,Jung Bae
【주민등록번호】	670227-1046533
【우편번호】	435-040
【주소】	경기도 군포시 산본동 주몽주공아파트 1006동 1205호
【국적】	KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
권석흠 (인) 대리인
정상빈 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	17 면	17,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	20 항	749,000 원
【합계】		795,000 원

1999/5/31

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

디멀티플렉싱 기법을 이용한 고주파 복원기 및 이를 이용한 반도체 장치가 개시된다. 상기 고주파 복원기는, 복수개의 복원클럭들에 응답하여, 입출력 단자를 통해 입력되는 입력 데이터를 서로 상기 입력 데이터의 주기 만큼의 시간차를 갖는 복수개의 입력 데이터로 디멀티플렉싱하고 상기 디멀티플렉스된 입력 데이터의 각각에 대해 손실된 데이터 성분을 복원한 다음에, 복원된 복수개의 출력 데이터를 멀티플렉싱하여 순차적으로 하나씩 출력한다. 따라서 상기 고주파 복원기에서는, 데이터 전송속도가 증가되어 상기 입력 데이터의 주기가 짧아지더라도 손실된 고주파 성분을 복원하기 위해 충분한 시간이 할당될 수 있다. 그러므로 상기 고주파 복원기는 빠른 데이터 전송속도에서도 손실된 고주파 성분을 정확히 복원할 수 있는 장점이 있으며, 상기 고주파 복원기를 구비하는 반도체 장치는 빠른 데이터 전송속도에서도 손실된 고주파 성분을 정확히 복원하여 칩과 칩간의 고속 데이터 전송을 수행할 수 있는 장점이 있다.

【대표도】

도 6

1999/5/31

【명세서】

【발명의 명칭】

다멀티플렉싱 기법을 이용한 고주파 복원기 및 이를 이용한 반도체 장치{High frequency equalizer using demultiplexing technique, and semiconductor device using the same}

【도면의 간단한 설명】

도 1은 종래기술에 따른 고주파 복원 장치의 개략적인 블록도이다.

도 2는 도 1에 도시된 종래기술에 따른 고주파 복원 장치를 설명하기 위한 채널의 신호응답 특성에 대한 그래프이다.

도 3은 본 발명에 따른 고주파 복원 장치의 개략적인 블록도이다.

도 4는 도 3에 도시된 본 발명에 따른 고주파 복원 장치를 설명하기 위한 채널의 신호응답 특성에 대한 그래프이다.

도 5는 도 3에 도시된 본 발명에 따른 고주파 복원 장치를 이용한 입력신호의 복원 예를 나타낸다.

도 6은 도 3에 도시된 고주파 복원 장치의 개념을 이용한 본 발명에 따른 반도체 장치의 입출력 부분의 블록도이다.

도 7은 도 6에 도시된 복원 회로의 상세 블록도이다.

도 8은 도 7에 도시된 단위 복원 회로의 상세 회로도이다.

도 9는 도 7에 도시된 단위 복원 회로들중 맨위에 위치하는 단위 복원 회로의 동작 타이밍도이다.

1999/5/31

도 10은 도 6에 도시된 멀티플렉서의 상세 회로도이다.

도 11은 도 6의 본 발명에 따른 반도체 장치의 효과를 검증하기 위한 모의실험 회로도이다.

도 12는 0.35um CMOS 상용 공정 파라미터를 이용하여 본 발명에 따른 반도체 장치를 설계하여 도 11에 도시된 회로도에 따라 모의실험한 결과이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 장치에 관한 것으로, 특히 디멀티플렉싱 기법을 이용한 고주파 복원기 및 이를 이용한 반도체 장치에 관한 것이다.

<14> 중앙 연산 처리장치(CPU)의 클럭 주파수가 크게 증가함에 따라 시스템이 요구하는 메모리장치의 대역폭도 증가되어야 하며, 메모리장치의 대역폭을 증가시키기 위하여 동기식 디램(SDRAM)등이 개발되었다. 또한 반도체 장치의 제조공정이 발전됨에 따라 시스템의 동작성능은 반도체 장치 자체의 동작속도에 의해 제한되기보다는 반도체 장치와 반도체 장치간, 예컨대 디램과 중앙 연산 처리장치간의 데이터 전송속도에 의해 제한된다.

<15> 따라서 디램과 중앙 연산 처리장치 사이의 고속 인터페이스를 위하여 SSTL(Stub Series-terminated Transceiver Logic) 방식의 JEDEC 표준이 제안되었다. 상기 SSTL 방식은 종래의 LVTTL(Low Voltage TTL) 방식을 사용할 경

1999/5/31

우에 발생하는 반사파를 줄이기 위하여 전송선, 즉 버스(Bus)를 정합함으로써 속도를 향상시킨다. 그러나 상기 SSTL 방식은 정합에 필요한 저항이 존재함으로 인하여 전력소모를 증가시키고 또한 고속 중앙 연산 처리장치와의 데이터 처리를 병목현상없이 처리하기에는 어려움이 있다.

<16> 그리하여 근래에 디램과 중앙 연산 처리장치 사이의 데이터 전송속도를 고속화하기 위하여 디램의 입출력 회로 및 버스 시스템을 설계 변경한 램버스(Rambus) 방식이 제안되었다. 그러나 상기 램버스 방식에서는, 버스에 연결되는 디램이 많아질수록 버스의 기생부하가 증가하게 되고 이로 인하여 대역폭이 제한됨으로써 전송속도가 제한되며 데이터의 고주파 성분이 손실된다. 이러한 단점을 개선하기 위하여 데이터의 손실된 고주파 성분을 수신측에서 복원하는 방법이 제안되었다.

<17> 도 1은 종래기술에 따른 고주파 복원 장치의 개략적인 블록도이며, 도 2는 도 1에 도시된 종래기술에 따른 고주파 복원 장치를 설명하기 위한 채널의 신호응답 특성에 대한 그래프이다.

<18> 도 1을 참조하면, 상기 종래기술에 따른 고주파 복원 장치는, 주파수 대역이 제한된 채널, 즉 버스를 통해 전송된 현재의 입력 데이터(Vin)를 받아 들이기 위한 입력단(11), 손실된 고주파 성분이 복원된 출력 데이터(Din)를 출력하기 위한 출력단(12), 이전 입력 데이터들을 얻기 위한 복수개의 지연기들(13 내지 16), 상기 이전 입력 데이터들의 간섭신호들(a1 내지 a4)에 의한 변동값들을 구하기 위한 복수개의 곱셈기들(17 내지 20), 상기 현재의 입력 데이터(Vin)에서 상기 이전 입력 데이터들의 간섭신호들(a1 내지 a4)에 의한 변동값들을 모두 빼기 위한 덧셈기(21), 및 상기 덧셈기(21)의 출력신호를 소정의 값과 비교하기 위한 전압 비교기(22)를

1999/5/31

포함하여 구성된다.

<19>

좀더 설명하면, 도 2에 도시된 바와 같이 소정의 펄스신호(IP)가 주파수 대역이 제한된 채널을 통해 전송되어 상기 입력단(11)으로 입력될 경우, 상기 입력단을 통해 입력되는 현재의 입력 데이터(Vin)에는 여러개의 응답이 포함되어 있다. 즉 한 주기 T후에 상기 입력 데이터(Vin)의 레벨이 '1'일 경우 '1'의 영향이 계속 포함되게 되는 데, 2T후에는 간섭신호(a1)이 포함되고 3T후에는 간섭신호(a2)가 포함되고 4T후에는 간섭신호(a3)가 포함되며 5T후에는 간섭신호(a4)가 포함된다. 이로 인하여 상기 간섭신호들(a1 내지 a4)은 다음 입력 데이터에 영향을 미치게 되며 입력 데이터의 고주파 성분이 손실되게 된다. 따라서 상기 간섭신호들에 의한 영향을 제거하여야 상기 다음 입력 데이터의 정확한 결정이 가능하며 고주파 성분이 복원될 수 있다.

<20>

그러므로 상기 종래기술에 따른 고주파 복원 장치에서는, 상기 지연기들(13 내지 16)을 이용하여 이전 입력 데이터들을 얻은 후, 상기 곱셈기들(17 내지 20)을 이용하여 상기 이전 입력 데이터들, 즉 상기 지연기들(13 내지 16)의 출력신호들에 상기 이전 입력 데이터들의 간섭신호들(a1 내지 a4)을 곱함으로써 상기 간섭신호들(a1 내지 a4)에 의한 변동값들을 구한다. 다음에 상기 덧셈기(21)를 이용하여 상기 현재의 입력 데이터(Vin)에서 상기 이전 입력 데이터들의 간섭신호들(a1 내지 a4)에 의한 변동값들, 즉 상기 곱셈기들(17 내지 20)의 출력신호들을 모두 뺌으로써 상기 간섭신호들에 의한 영향을 모두 제거한다. 이에 따라 상기 현재의 입력 데이터(Vin)의 손실된 고주파 성분이 복원되며, 고주파 성분이 복원된 상기 출력 데이터

(Din)가 상기 전압 비교기(22)로부터 출력되게 된다.

<21> 그러나 상기 종래기술에 따른 고주파 복원 장치 및 방법에서는, 고주파 성분을 복원하기 위해 할당되는 시간이 입력 데이터의 주기와 같다. 따라서 데이터 전송속도가 증가하여 입력 데이터의 주기가 짧아질 경우 고주파 성분을 복원하기 위해 할당되는 시간이 역시 짧아지게 되며, 이로 인하여 빠른 전송속도에서는 손실된 고주파 성분이 정확히 복원되지 못하는 단점이 있다. 또한 상기 종래기술에 따른 고주파 복원 장치 및 방법에서는, 상기와 같은 단점을 극복하기 위하여 도 1에 도시된 바와 같은 회로를 여러개 병렬로 나열하여 입력 데이터를 처리하는 디멀티플렉싱(Demultiplexing) 기법을 적용할 수 없는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<22> 따라서 본 발명이 이루고자 하는 기술적 과제는, 손실된 고주파 성분을 복원하기 위해 충분한 시간을 할당할 수 있으며 디멀티플렉싱 기법을 적용하여 빠른 데이터 전송속도에서도 손실된 고주파 성분을 정확히 복원할 수 있는 고주파 복원기를 제공하는 데 있다.

<23> 본 발명이 이루고자 하는 다른 기술적 과제는, 빠른 데이터 전송속도에서도 손실된 고주파 성분을 정확히 복원하여 칩과 칩간의 고속 데이터 전송을 수행할 수 있는 반도체 장치를 제공하는 데 있다.

【발명의 구성 및 작용】

<24> 상기 기술적 과제를 달성하기 위하여, 복수개의 복원클럭들에 응답하여, 입력 데이터를 서로 상기 입력 데이터의 주기 만큼의 시간차를 갖는 복수개의 입력

1999/5/31

데이터로 디멀티플렉싱하고, 상기 복수개의 디멀티플렉스된 입력 데이터의 각각에 대해 손실된 고주파 성분을 복원하여 출력하는 복원 회로, 및 상기 복원 클럭들에 응답하여, 상기 복원 회로의 복수개의 출력 데이터를 멀티플렉싱하여 순차적으로 하나씩 출력하는 멀티플렉서를 구비하는 것을 특징으로 하는 고주파 복원기가 제공된다.

<25> 바람직한 실시예에 의하면, 상기 복원 회로는 디멀티플렉서와 복수개의 단위 복원 회로들을 구비한다. 상기 디멀티플렉서는, 상기 복원클럭들에 응답하여 상기 입력 데이터를 서로 상기 주기 만큼의 시간차를 갖는 상기 복수개의 입력 데이터로 디멀티플렉싱한다. 상기 각각의 단위 복원 회로는, 상기 복수개의 입력 데이터중 현재의 입력 데이터와 상기 한 주기시간 이전의 입력 데이터를 받아 상기 현재의 입력 데이터의 손실된 고주파 성분을 복원하고, 복원된 입력 데이터를 대응되는 복원 클럭에 응답하여 출력 데이터로서 출력한다.

<26> 상기 단위 복원 회로는, 상기 현재의 입력 데이터와 상기 이전 입력 데이터를 받아 상기 현재의 입력 데이터의 손실된 고주파 성분을 복원하는 복원셀, 및 상기 대응되는 복원 클럭에 응답하여 상기 복원셀의 출력을 저장하고 증폭하여 상기 출력 데이터를 출력하는 래치회로를 구비한다.

<27> 상기 복원셀은, 전류 소오스, 보상용 전류 소오스, 제1전류증폭 회로, 제2전류 증폭 회로, 제1전류 출력 트랜지스터, 및 제2전류 출력 트랜지스터를 구비한다. 상기 제1전류증폭 회로는, 상기 현재의 입력 데이터와 기준전압에 응답하여, 상기 전류 소오스로부터 공급되는 전류를 증폭한다. 상기 제2전류증폭 회로는, 상기 이전 입력 데이터와 상기 기준전압에 응답하여, 상기 보상용 전류 소오스로부터 공급되는 전

1999/5/31

류를 증폭한다. 상기 제1전류 출력 트랜지스터는, 상기 제1전류증폭 회로의 일측 출력단자와 상기 제2전류증폭 회로의 일측 출력단자에 공통 접속되고, 이 두 출력단자들로부터 출력되는 전류들의 차이에 비례하는 전류를 출력한다. 상기 제2전류 출력 트랜지스터는, 상기 제1전류증폭 회로의 타측 출력단자와 상기 제2전류증폭 회로의 타측 출력단자에 공통 접속되고, 이 두 출력단자들로부터 출력되는 전류들의 차이에 비례하는 전류를 출력한다.

<28> 상기 다른 기술적 과제를 달성하기 위하여, 제1시스템 클럭을 받아 상기 제1시스템 클럭의 주파수의 n (n 는 정수)배 주파수를 갖는 출력 클럭을 발생하는 출력 클럭 발생기, 출력 데이터를 상기 출력 클럭에 동기시켜 입출력 단자를 통해 출력하는 출력 드라이버, 제2시스템 클럭을 받아 주파수가 상기 제2시스템 클럭의 주파수와 동일하고 위상이 서로 다른 복수개의 복원 클럭들을 발생하는 복원 클럭 발생기, 및 상기 복원 클럭들에 응답하여, 상기 입출력 단자를 통해 입력되는 입력 데이터의 손실된 고주파 성분을 복원시켜 출력하는 고주파 복원기를 구비하는 것을 특징으로 하는 반도체 장치가 제공된다.

<29> 상기 출력 클럭 발생기 및 상기 복원 클럭 발생기는 위상동기 루프 회로로 구성된다. 상기 고주파 복원기는 복원 회로 및 멀티플렉서를 구비한다.

<30> 바람직한 실시예에 의하면 상기 복원 회로는, 디멀티플렉서와 복수개의 단위 복원 회로를 구비한다. 상기 디멀티플렉서는, 상기 복원클럭들에 응답하여 상기 입력 데이터를 서로 상기 입력 데이터의 주기 만큼의 시간차를 갖는 복수개의 입력

1999/5/31

데이터로 디멀티플렉싱한다. 상기 각각의 단위 복원 회로는, 상기 복수개의 입력 데이터중 현재의 입력 데이터와 상기 한 주기시간 이전의 입력 데이터를 받아 상기 현재의 입력 데이터의 손실된 고주파 성분을 복원하고, 복원된 입력 데이터를 대응되는 복원 클럭에 응답하여 출력 데이터로서 출력한다. 상기 멀티플렉서는, 상기 복원 클럭들에 응답하여, 상기 복원 회로의 복수개의 출력 데이터를 멀티플렉싱하여 순차적으로 하나씩 출력한다.

<31> 상기 단위 복원 회로는, 상기 현재의 입력 데이터와 상기 이전 입력 데이터를 받아 상기 현재의 입력 데이터의 손실된 고주파 성분을 복원하는 복원셀, 및 상기 대응되는 복원 클럭에 응답하여 상기 복원셀의 출력을 저장하고 증폭하여 상기 출력 데이터를 출력하는 래치회로를 구비한다.

<32> 상기 복원셀은, 전류 소오스, 보상용 전류 소오스, 제1전류증폭 회로, 제2전류 증폭 회로, 제1전류 출력 트랜지스터, 및 제2전류 출력 트랜지스터를 구비한다. 상기 제1전류증폭 회로는, 상기 현재의 입력 데이터와 기준전압에 응답하여, 상기 전류 소오스로부터 공급되는 전류를 증폭한다. 상기 제2전류증폭 회로는, 상기 이전 입력 데이터와 상기 기준전압에 응답하여, 상기 보상용 전류 소오스로부터 공급되는 전류를 증폭한다. 상기 제1전류 출력 트랜지스터는, 상기 제1전류증폭 회로의 일측 출력 단자와 상기 제2전류증폭 회로의 일측 출력단자에 공통 접속되고, 이 두 출력단자들로부터 출력되는 전류들의 차이에 비례하는 전류를 출력한다. 상기 제2전류 출력 트랜지스터는, 상기 제1전류증폭 회로의 타측 출력단자와 상기 제2전류증폭 회로의 타측 출력단자에 공통 접속되고, 이 두 출력단자들로부터 출력되는 전류들의 차이에

1999/5/31

비례하는 전류를 출력한다.

<33> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 설명하는 실시예에 한정되는 것으로 해석되어서는 안된다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 도면상에서 동일한 참조부호 및 참조번호는 동일한 요소를 지칭한다.

<34> 도 3은 본 발명에 따른 고주파 복원 장치의 개략적인 블록도이다.

<35> 도 3을 참조하면, 상기 본 발명에 따른 고주파 복원 장치는, 입력단(31), 출력단(32), 지연기(33), 곱셈기(34), 덧셈기(35), 및 전압 비교기(36)를 구비한다.

<36> 상기 입력단(31)은 주파수 대역이 제한된 채널, 즉 버스를 통해 전송된 현재의 입력 데이터($V_{in}(n)$)를 받아 들인다. 상기 지연기(33)는 상기 현재의 입력 데이터($V_{in}(n)$)를 이의 주기(T) 만큼 지연시켜 이전 입력 데이터를 구하고, 상기 곱셈기(34)는 상기 이전 입력 데이터, 즉 상기 지연기(33)의 출력신호와 상기 이전 입력 데이터의 간섭신호(x)를 곱하여 상기 간섭신호에 의한 변동값을 구한다. 상기 덧셈기(35)는 상기 간섭신호(x)에 의한 영향을 제거하기 위해 상기 현재의 입력 데이터($V_{in}(n)$)에서 상기 변동값, 즉 상기 곱셈기(34)의 출력신호를 뺀다. 또한 상기 전압 비교기(36)는 상기 덧셈기(35)의 출력신호를 소정의 값과 비교하여 고주파 성분이 복원된 현재의 데이터를 결정하고 출력 데이터(D_{in})를 발생한다. 상기 출력 데이터(D_{in})는 상기 출력단(32)을 통해 출력된다.

<37> 도 4는 도 3에 도시된 본 발명에 따른 고주파 복원 장치를 설명하기 위한 채널의 신호응답 특성에 대한 그래프이다. 도 4를 참조하여 도 3에 도시된 고주파 복원 장치의 동작을 좀더 설명하겠다.

<38> 소정의 펄스신호(IP)가 주파수 대역이 제한된 채널, 즉 버스를 통해 전송되어 상기 입력단(31)으로 입력될 경우, 상기 입력단을 통해 입력되는 현재의 입력 데이터($V_{in}(n)$)에는 이전 입력 데이터($V_{in}(n-1)$)의 간섭신호(x)가 포함되어 있다. 즉 한 주기 T후에 이전 입력 데이터가 $V_{in}(n-1)$ 일 경우 상기 $V_{in}(n-1)$ 의 영향이 2T후에는 상기 간섭신호(x) 만큼 남아있게 된다. 이로 인하여 상기 간섭신호(x)는 다음에 입력되는 데이터, 즉 상기 현재의 입력 데이터($V_{in}(n)$)에 영향을 미치게 되며 상기 현재의 입력 데이터($V_{in}(n)$)의 고주파 성분이 손실되게 된다. 따라서 상기 이전 입력 데이터($V_{in}(n-1)$)의 간섭신호(x)에 의한 영향을 제거하여야 다음에 입력되는 데이터, 즉 상기 현재의 입력 데이터($V_{in}(n)$)의 정확한 결정이 가능하며 이의 고주파 성분이 복원될 수 있다.

<39> 그러므로 상기 본 발명에 따른 고주파 복원 장치에서는, 상기 지연기(33)를 이용하여 상기 현재의 입력 데이터($V_{in}(n)$)를 이의 주기(T) 만큼 지연시켜 이전 입력 데이터를 구한 후, 상기 곱셈기(34)를 이용하여 상기 이전 입력 데이터, 즉 상기 지연기(33)의 출력신호와 상기 이전 입력 데이터의 간섭신호(x)를 곱하여 상기 간섭신호에 의한 변동값을 구한다. 다음에 상기 덧셈기(35)를 이용하여 상기 현재의 입력 데이터($V_{in}(n)$)에서 상기 변동값, 즉 상기 곱셈기(34)의 출력신호를 뺄으로써 상기 간섭신호(x)에 의한 영향을 제거한다. 이에 따라 상기 현재의 입력 데이터($V_{in}(n)$)의 손실된 고주파 성분이 복원된다.

<40> 도 5는 도 3에 도시된 본 발명에 따른 고주파 복원 장치를 이용한 입력신호의 복원 예를 나타낸다. 여기에서 IP는 상기 주파수 대역이 제한된 채널을 통해 전송되기 전의 신호를 나타내고, Vin는 상기 신호(IP)가 상기 주파수 대역이 제한된 채널을 통해 전송되어 상기 입력단을 통해 입력되는 신호, 즉 고주파 성분이 손실된 상기 입력 데이터를 나타낸다. 상기 IF는 상기 Vin에 이전 데이터들의 간섭신호들(점선)를 함께 도시한 경우를 나타낸다. 또한 상기 Vin에 표시된 점들은 상기 고주파 복원 장치를 통해 복원된 결과 데이터를 나타낸다.

<41> 도 6은 도 3에 도시된 고주파 복원 장치의 개념을 이용한 본 발명에 따른 반도체 장치의 입출력 부분의 블록도이다. 상기 입출력 부분은 디램 및 중앙 연산 처리장치등에 포함될 수 있다.

<42> 도 6을 참조하면, 상기 본 발명에 따른 반도체 장치는, 출력 클럭 발생기(61)와, 출력 드라이버(62)와, 복원 클럭 발생기(63)와, 고주파 복원기(64), 및 내부 클럭 발생기(65)를 구비한다.

<43> 상기 출력 클럭 발생기(61)는, 데이터 출력시 상기 반도체 장치의 외부에서 인가되는 제1시스템 클럭(Clk_out)을 받아 상기 제1시스템 클럭(Clk_out)의 주파수의 n (n 는 정수)배 주파수를 갖는 출력 클럭(Oclk)을 발생한다. 상기 출력 드라이버(62)는, 데이터 출력시 상기 반도체 장치의 내부로부터 전송되어 온 출력 데이터(Dout)를 상기 출력 클럭(Oclk)에 동기시켜 입출력 단자(In/Out)를 통해 출력한다.

<44> 또한 상기 복원 클럭 발생기(63)는, 데이터 입력시 상기 반도체 장치의 외부에

1999/5/31

서 인가되는 제2시스템 클럭(Clk_in)을 받아 주파수가 상기 제2시스템 클럭 (Clk_in)의 주파수와 동일하고 위상이 서로 다른, 즉 45°씩의 위상차를 갖는 복수개의 복원 클럭들($\phi 1$ 내지 $\phi 4$, $\phi 1$ 내지 $\phi 4$)을 발생한다. 도 6에는 8개의 복원 클럭들이 발생하는 경우가 도시되어 있다. 상기 고주파 복원기(64)는, 상기 복원 클럭들($\phi 1$ 내지 $\phi 4$, $\phi 1$ 내지 $\phi 4$)에 응답하여, 상기 입출력 단자(In/Out)를 통해 입력되는 입력 데이터의 고주파 성분을 복원시켜 출력한다.

<45> 특히 상기 고주파 복원기(64)는 복원 회로(64a)와 멀티플렉서(64b)를 포함하여 구성된다. 상기 복원 회로(64a)는, 상기 8개의 복원클럭들($\phi 1$ 내지 $\phi 4$, $\phi 1$ 내지 $\phi 4$)에 응답하여, 상기 입출력 단자(In/Out)를 통해 입력되는 상기 입력 데이터를 서로 상기 입력 데이터의 주기 만큼의 시간차를 갖는 8개의 입력 데이터로 디멀티플렉싱하고, 상기 8개의 디멀티플렉스된 입력 데이터의 각각에 대해 손실된 고주파 성분을 복원하여 출력한다. 또한 상기 멀티플렉서(64b)는, 상기 복원 클럭들($\phi 1$ 내지 $\phi 4$, $\phi 1$ 내지 $\phi 4$)에 응답하여, 상기 복원 회로(64a)의 8개의 출력 데이터를 멀티플렉싱하여 순차적으로 하나씩 출력한다. 상기 멀티플렉서(64b)의 출력(Din)은 상기 반도체 장치 내부로 전송된다.

<46> 또한 상기 내부 클럭 발생기(65)는, 상기 복원 클럭들($\phi 1$ 내지 $\phi 4$, $\phi 1$ 내지 $\phi 4$)중 하나를 받아 이의 주파수의 n (n 는 정수)배 주파수를 갖는 내부 클럭(Pclk)을 발생하며, 상기 내부 클럭(Pclk)은 상기 반도체 집적회로의 내부회로들에 사용된다.

<47> 한편 상기 출력 클럭 발생기(61), 상기 복원 클럭 발생기(63), 및 상기 내부

1999/5/31

클럭 발생기(65)는, 통상의 위상동기 루프(Phase Locked Loop) 회로로 구성된다.

<48> 도 7은 도 6에 도시된 복원 회로의 상세 블록도이다.

<49> 도 7을 참조하면, 상기 복원 회로는, 디멀티플렉서(71)와 8개의 단위 복원 회로들(73a 내지 73h)을 구비한다.

<50> 상기 디멀티플렉서(71)는, 상기 8개의 복원클럭들($\phi 1$ 내지 $\phi 4$, $/\phi 1$ 내지 $/\phi 4$)에 응답하여, 상기 입출력 단자(In/Out)를 통해 입력되는 입력 데이터(Vin)를 서로 상기 입력 데이터(Vin)의 주기 만큼의 시간차를 갖는 8개의 입력 데이터(Vin1 내지 Vin8)로 디멀티플렉싱한다. 상기 디멀티플렉서(71)는, 상기 입력 데이터(Vin)와 상기 디멀티플렉스된 각 입력 데이터(Vin1 내지 Vin8) 사이에 2개씩의 스위칭 엔모스 트랜지스터를 구비하고 전체적으로 16개의 스위칭 엔모스 트랜지스터들(T1 내지 T16)을 포함하여 구성된다.

<51> 상기 단위 복원 회로들(73a 내지 73h)은, 각각 상기 8개의 입력 데이터(Vin1 내지 Vin8)중 현재의 입력 데이터(Vin(n))와 이의 한 주기시간 이전의 입력 데이터(Vin(n-1))를 받아 현재의 입력 데이터(Vin(n))의 손실된 고주파 성분을 복원하고, 복원된 입력 데이터를 대응되는 복원 클럭에 응답하여 출력 데이터(O+, O-)로서 출력한다. 예컨대 상기 단위 복원 회로(73a)는, 상기 입력 데이터(Vin2)를 현재의 입력 데이터(Vin(n))로서 받고 상기 입력 데이터(Vin1)를 이전 입력 데이터(Vin(n-1))로서 받아 상기 입력 데이터(Vin2)의 손실된 고주파 성분을 복원하고, 복원된 입력 데이터를 대응되는 복원 클럭($/\phi 4$)에 응답하여 출력 데이터(a, $/a$)로서 출력한다. 상기 단위 복원 회로들(73b 내지 73h)도 상술한 상기 단위 복원 회로(73a)의 동작과 동일하게 동작한다.

1999/5/31

- <52> 좀더 설명하면, 상기 입출력 단자(In/Out)를 통해 소정의 전송속도, 예컨대 1Gb/s(Giga bit per second)의 입력 데이터(Vin)가 입력되면 상기 8개의 단위 복원 회로들(73a 내지 73h)이 상기 입력 데이터(Vin)의 주기, 즉 1ns(Nano Second)만큼의 시간차를 갖는 8개의 125Mhz 복원 클럭들($\phi 1$ 내지 $\phi 4$, $\phi 1$ 내지 $\phi 4$)에 의해 순차적으로 동작되어 각각의 출력 데이터를 출력한다. 그리고 상기 단위 복원 회로들(73a 내지 73h)의 출력 데이터들(a,/a 내지 h,/h)은 도 6에 도시된 상기 멀티플렉서(64b)를 통해 1Gb/s의 시어리얼 데이터로 변환되어 하나씩 출력된다.
- <53> 도 8은 도 7에 도시된 단위 복원 회로의 상세 회로도이다.
- <54> 도 8을 참조하면, 상기 단위 복원 회로는, 상기 현재의 입력 데이터(Vin(n))와 상기 이전 입력 데이터(Vin(n-1))를 받아 상기 현재의 입력 데이터의 손실된 고주파 성분을 복원하는 복원셀(81)과, 대응되는 복원 클럭(ϕ)에 응답하여 상기 복원셀(81)의 출력전압(Vo-, Vo+)을 저장하고 증폭하여 출력 데이터(O-, O+)를 출력하는 래치회로(83)를 구비한다.
- <55> 상기 복원셀(81)은, 전류 소오스(m5), 보상용 전류 소오스(m6), 제1전류증폭 회로(81a), 제2전류증폭 회로(81b), 제1전류 출력 트랜지스터(m7), 및 제2전류 출력 트랜지스터(m8)를 포함하여 구성된다.
- <56> 상기 전류 소오스(m5)는, 소오스에 전원전압(VDD)이 인가되고 게이트에 제어신호(Vb)가 인가되고 드레인이 상기 제1전류증폭 회로(81a)에 접속되는 피모스트랜지스터로 구성된다. 또한 상기 보상용 전류 소오스(m6)는, 소오스에 전원전압(VDD)이 인가되고 게이트에 상기 제어신호(Vb)가 인가되고 드레인이 상기 제2전류증폭 회로(81b)에 접속되는 피모스트랜지스터로 구성된다. 특히 상기 전류 소오

스(m5)에는 전류(I)가 흐르고 상기 보상용 전류 소오스(m6)에는 전류(xI)가 흐르도록 설계하고, 상기 x는 도 3 및 도 4에 도시된 이전 입력 데이터($V_{in}(n-1)$)의 간섭신호(x)와 같은 크기를 갖도록 설계한다.

<57> 상기 제1전류증폭 회로(81a)는, 상기 현재의 입력 데이터($V_{in}(n)$)와 기준전압(V_{ref})에 응답하여, 상기 전류 소오스(m5)로부터 공급되는 전류(I)를 증폭한다. 상기 제1전류증폭 회로(81a)는, 소오스가 상기 전류 소오스(m5)에 접속되고 게이트에 상기 현재의 입력 데이터($V_{in}(n)$)가 인가되며 드레인이 상기 제1전류 출력 트랜지스터(m7)에 접속되는 피모스 트랜지스터(m1)와, 소오스가 상기 전류 소오스(m5)에 접속되고 게이트에 상기 기준전압(V_{ref})이 인가되며 드레인이 상기 제2전류 출력 트랜지스터(m8)에 접속되는 피모스 트랜지스터(m2)를 포함하여 구성된다.

<58> 또한 상기 제2전류증폭 회로(81b)는, 상기 이전 입력 데이터($V_{in}(n-1)$)와 상기 기준전압(V_{ref})에 응답하여, 상기 보상용 전류 소오스(m6)로부터 공급되는 전류(xI)를 증폭한다. 상기 제2전류증폭 회로(81b)는, 소오스가 상기 보상용 전류 소오스(m6)에 접속되고 게이트에 상기 이전 입력 데이터($V_{in}(n-1)$)가 인가되며 드레인이 상기 제2전류 출력 트랜지스터(m8)에 접속되는 피모스 트랜지스터(m4)와, 소오스가 상기 보상용 전류 소오스(m6)에 접속되고 게이트에 상기 기준전압(V_{ref})이 인가되며 드레인이 상기 제1전류 출력 트랜지스터(m7)에 접속되는 피모스 트랜지스터(m3)를 포함하여 구성된다.

<59> 상기 제1전류 출력 트랜지스터(m7)는, 드레인과 게이트가 상기 제1전류증폭 회로(81a)의 상기 피모스 트랜지스터(m1)의 드레인에 공통 접속되고 또한 드레인

1999/5/31

과 게이트가 상기 제2전류증폭 회로(81b)의 상기 피모스 트랜지스터(m3)의 드레인에 공통 접속되며 소오스가 접지(VSS)되는 엔모스 트랜지스터를 포함하여 구성된다. 상기 제1전류 출력 트랜지스터(m7)는, 상기 피모스 트랜지스터(m1)의 드레인에 흐르는 전류와 상기 피모스 트랜지스터(m4)의 드레인에 흐르는 전류 사이의 차이에 비례하는 전류를 출력하고, 이에 대응되는 출력전압(V_{o-})을 출력한다.

<60> 상기 제2전류 출력 트랜지스터(m8)는, 드레인과 게이트가 상기 제1전류증폭 회로(81a)의 상기 피모스 트랜지스터(m2)의 드레인에 공통 접속되고 또한 드레인과 게이트가 상기 제2전류증폭 회로(81b)의 상기 피모스 트랜지스터(m4)의 드레인에 공통 접속되며 소오스가 접지(VSS)되는 엔모스 트랜지스터를 포함하여 구성된다. 상기 제2전류 출력 트랜지스터(m8)는, 상기 피모스 트랜지스터(m2)의 드레인에 흐르는 전류와 상기 피모스 트랜지스터(m3)의 드레인에 흐르는 전류 사이의 차이에 비례하는 전류를 출력하고, 이에 대응되는 출력전압(V_{o+})을 출력한다.

<61> 상기 래치회로(83)는, 상기 대응되는 복원 클럭(ϕ)에 응답하여 상기 복원셀의 출력전압(V_{o-} , V_{o+})을 게이팅하는 제1스위칭부(83a), 상기 제1스위칭부(83a)를 통해 전달된 상기 복원셀의 출력(V_{o-} , V_{o+})을 증폭하고 저장하는 제1래치(83b), 상기 복원 클럭의 반전 클럭(ϕ)에 응답하여 상기 제1래치(83b)의 출력을 게이팅하는 제2스위칭부(83c), 상기 제2스위칭부(83c)를 통해 전달된 상기 제1래치의 출력을 증폭하고 저장하며 상기 출력 데이터($O-$, $O+$)를 출력하는 제2래치(83d), 상기 제2스위칭부(83c)의 출력단들을 등화시키는 등화용 피모스 트랜지스터(m17)를 포함하여 구성된다.

<62> 상기 제1스위칭부(83a)는 엔모스 트랜지스터들(m9,m10)을 포함하여 구성

1999/5/31

되고, 상기 제1래치(83b)는 엔모스 트랜지스터들(m11 내지 m14)를 포함하여 구성된다. 상기 제2스위칭부(83c)는 엔모스 트랜지스터들(m15,m16)을 포함하여 구성되고, 상기 제2래치(83d)는 피모스 트랜지스터들(m18,m19)를 포함하여 구성된다.

<63> 도 8을 참조하여 상기 단위 복원 회로의 동작을 좀더 설명하면 다음과 같다. 상기 기준전압(Vref)이 0볼트(Volt)라 가정하면 상기 제2전류 출력 트랜지스터(m8)의 드레인에 흐르는 전류(Id8)는 다음 수학식 1로 표현된다.

<64> 【수학식 1】

$$Id8 = gm2.Vin(n) - gm4.Vin(n-1)$$

<65> 여기에서 gm2은 상기 피모스 트랜지스터(m2)의 트랜스컨덕턴스(Transconductance)를 나타내고 상기 gm4은 상기 피모스 트랜지스터(m4)의 트랜스컨덕턴스를 나타낸다. 그런데 상기 gm4의 크기가 x.gm2의 크기와 같도록 설계하면, 상기 수학식 1은 다음 수학식 2로 표현된다.

<66> 【수학식 2】

$$Id8 = gm2\{Vin(n) - x.Vin(n-1)\}$$

<67> 여기에서 상기 x는 상기 이전 입력 데이터(Vin(n-1))의 간섭신호와 같은 크기를 갖는다.

<68> 따라서 상기 현재의 입력 데이터(Vin(n))에서 상기 이전 입력 데이터(Vin(n-1))의 x배 만큼을 뺀 값에 비례하는 전류가 상기 제2전류 출력 트랜지스터(m8)에 흐르게 된다. 그런데 상기 단위 복원 회로는 완전 차동 형태로 구성되어 있으므로 상기 제1전류 출력 트랜지스터(m7)에는 상기 제2전류 출력 트랜지스터

1999/5/31

(m8)의 전류와 방향이 반대이고 크기가 같은 전류가 흐르게 된다. 결국 상기 제1 전류 출력 트랜지스터(m7)의 드레인과 상기 제2전류 출력 트랜지스터(m8)의 드레인에는 차동 출력전압들인 V_{o-} 와 V_{o+} 가 나타나게 된다. 상기 출력전압들(V_{o-} , V_{o+})은 전압레벨이 제한되어 있으므로 상기 래치회로(83)에 의해 CMOS 레벨로 변환되어 변환된 출력 데이터($O-$, $O+$)가 최종 출력된다.

<69> 참고로 도 9에 도 7에 도시된 단위 복원 회로들중 맨위에 위치하는 단위 복원 회로(73a)의 동작 타이밍도를 도시하였다.

<70> 도 10은 도 6에 도시된 멀티플렉서의 상세 회로도이다.

<71> 도 10을 참조하면, 상기 멀티플렉서는, 출력(Din)과 상기 각 단위 복원 회로의 출력 데이터(a 내지 h) 사이에 각각 2개씩 직렬연결되는 16개의 스위칭 엔모스 트랜지스터들(T20 내지 T35)와, 상기 출력(Din)의 상보출력(/Din)과 상기 각 단위 복원 회로의 상보출력 데이터(/a 내지 /h) 사이에 2개씩 직렬연결되는 16개의 스위칭 엔모스 트랜지스터들(T36 내지 T51), 프리차지 피모스 트랜지스터들(P1,P2)를 포함하여 구성된다.

<72> 상기 멀티플렉서는, 상기 복원 클럭들($\phi 1$ 내지 $\phi 4$, $/\phi 1$ 내지 $/\phi 4$)에 응답하여, 상기 출력 데이터(a 내지 h) 및 상보출력 데이터(/a 내지 /h)를 멀티플렉싱하여 각각 상기 출력(Din) 및 상보출력(/Din)으로서 순차적으로 하나씩 출력한다. 상기 출력(Din) 및 상보출력(/Din)은 상기 반도체 장치 내부로 전송된다.

<73> 도 11은 도 6의 본 발명에 따른 반도체 장치의 효과를 검증하기 위한 모의실험 회로도이다.

<74> 도 11을 참조하면, 하나의 중앙 연산 처리장치(111)와 32개의 디램들(112 내지 11n)이 데이터버스(DATA)와 클럭버스(CLK)에 연결되어 있고 이들은 도 6에 도시된 입출력 부분을 포함한다. 모의실험시 상기 중앙 연산 처리장치(111)가 상기 데이터버스(DATA)로 데이터를 출력하고, 이 데이터는 상기 데이터버스(DATA)를 통해 전송되고 상기 디램들(112 내지 11n)중 맨 마지막에 위치하는 디램(11n)이 전송된 데이터를 받아들이도록 하였다. 여기에서 상기 디램의 입출력핀을 4PF의 커패시턴스와 5nH의 인덕턴스를 갖는 부하로 모델링하였고 정합저항(R_0)은 50Ω 로 가정하였다. Z_0 및 Z_1 은 상기 데이터버스(DATA)와 클럭버스(CLK)의 특성 임피던스를 나타낸다.

<75> 도 12는 0.35um CMOS 상용 공정 파라미터를 이용하여 본 발명에 따른 반도체 장치를 설계하여 도 11에 도시된 회로도에 따라 모의실험한 결과이다. 도 12A는 상기 중앙 연산 처리장치(111)가 1Gb/s의 데이터 전송속도로 상기 데이터버스(DATA)를 통해 데이터를 전송할 때 상기 데이터버스(DATA) 상의 데이터의 파형도를 나타내고, 도 12B는 상기 디램(11n)에서 복원된 결과의 파형도를 나타낸다.

<76> 도 12A를 참조하면 데이터버스(DATA) 상의 데이터는 상기 데이터버스(DATA)의 부하로 인하여 고주파 성분이 손실된 것을 볼 수 있고, 도 12B를 참조하면 손실된 고주파 성분이 수신측인 상기 디램(11n)에서 정확히 복원된 것을 볼 수 있다.

【발명의 효과】

<77> 상술한 바와 같이 본 발명에 따른 고주파 복원기는, 복수개의 복원클럭들에 응답하여, 입출력 단자를 통해 입력되는 입력 데이터를 서로 상기 입력 데이터의 주기

1999/5/31

만큼의 시간차를 갖는 복수개의 입력 데이터로 디멀티플렉싱하고 상기 디멀티플렉스된 입력 데이터의 각각에 대해 손실된 데이터 성분을 복원한 다음에, 복원된 복수개의 출력 데이터를 멀티플렉싱하여 순차적으로 하나씩 출력한다. 따라서 본 발명에 따른 고주파 복원기에서는, 데이터 전송속도가 증가되어 입력 데이터의 주기가 짧아지더라도 손실된 고주파 성분을 복원하기 위해 충분한 시간이 할당될 수 있다. 그러므로 본 발명에 따른 고주파 복원기는 빠른 데이터 전송속도에서도 손실된 고주파 성분을 정확히 복원할 수 있는 장점이 있으며, 상기 고주파 복원기를 구비하는 본 발명에 따른 반도체 장치는 빠른 데이터 전송속도에서도 손실된 고주파 성분을 정확히 복원하여 칩과 칩간의 고속 데이터 전송을 수행할 수 있는 장점이 있다.

1999/5/31

【특허청구범위】

【청구항 1】

제1시스템 클럭을 받아 상기 제1시스템 클럭의 주파수의 n (n 는 정수)배 주파수를 갖는 출력 클럭을 발생하는 출력 클럭 발생기;

출력 데이터를 상기 출력 클럭에 동기시켜 입출력 단자를 통해 출력하는 출력 드라이버;

제2시스템 클럭을 받아 주파수가 상기 제2시스템 클럭의 주파수와 동일하고 위상이 서로 다른 복수개의 복원 클럭들을 발생하는 복원 클럭 발생기; 및

상기 복원 클럭들에 응답하여, 상기 입출력 단자를 통해 입력되는 입력 데이터의 손실된 고주파 성분을 복원시켜 출력하는 고주파 복원기를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 2】

제1항에 있어서, 상기 출력 클럭 발생기는 위상동기 루프 회로로 구성되는 것을 특징으로 하는 반도체 장치.

【청구항 3】

제1항에 있어서, 상기 복원 클럭 발생기는 위상동기 루프 회로로 구성되는 것을 특징으로 하는 반도체 장치.

【청구항 4】

제1항에 있어서, 상기 고주파 복원기는,

1999/5/31

상기 복원클럭들에 응답하여, 상기 입력 데이터를 서로 상기 입력 데이터의 주기 만큼의 시간차를 갖는 복수개의 입력 데이터로 디멀티플렉싱하고, 상기 복수개의 디멀티플렉스된 입력 데이터의 각각에 대해 손실된 고주파 성분을 복원하여 출력하는 복원 회로; 및

상기 복원 클럭들에 응답하여, 상기 복원 회로의 복수개의 출력 데이터를 멀티플렉싱하여 순차적으로 하나씩 출력하는 멀티플렉서를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 5】

제4항에 있어서, 상기 복원 회로는,

상기 복원클럭들에 응답하여 상기 입력 데이터를 서로 상기 주기 만큼의 시간차를 갖는 상기 복수개의 입력 데이터로 디멀티플렉싱하는 디멀티플렉서; 및

각각 상기 복수개의 입력 데이터중 현재의 입력 데이터와 상기 한 주기시간 이전의 입력 데이터를 받아 상기 현재의 입력 데이터의 손실된 고주파 성분을 복원하고, 복원된 입력 데이터를 대응되는 복원 클럭에 응답하여 출력 데이터로서 출력하는 복수개의 단위 복원 회로들을 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 6】

제5항에 있어서, 상기 단위 복원 회로는,

상기 현재의 입력 데이터와 상기 이전 입력 데이터를 받아 상기 현재의 입력 데이터의 손실된 고주파 성분을 복원하는 복원셀; 및

1999/5/31

상기 대응되는 복원 클럭에 응답하여 상기 복원셀의 출력을 저장하고 증폭하여
상기 출력 데이터를 출력하는 래치회로를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 7】

제6항에 있어서, 상기 복원셀은,

전류 소오스;

보상용 전류 소오스;

상기 현재의 입력 데이터와 기준전압에 응답하여, 상기 전류 소오스로부터 공
급되는 전류를 증폭하는 제1전류증폭 회로;

상기 이전 입력 데이터와 상기 기준전압에 응답하여, 상기 보상용 전류 소오스
로부터 공급되는 전류를 증폭하는 제2전류증폭 회로;

상기 제1전류증폭 회로의 일측 출력단자와 상기 제2전류증폭 회로의 일측 출
력단자에 공통 접속되고, 이 두 출력단자들로부터 출력되는 전류들의 차이에 비례하
는 전류를 출력하는 제1전류 출력 트랜지스터; 및

상기 제1전류증폭 회로의 타측 출력단자와 상기 제2전류증폭 회로의 타측 출
력단자에 공통 접속되고, 이 두 출력단자들로부터 출력되는 전류들의 차이에 비례하
는 전류를 출력하는 제2전류 출력 트랜지스터를 구비하는 것을 특징으로 하는 반도
체 장치.

【청구항 8】

제6항에 있어서, 상기 래치회로는,

1999/5/31

상기 대응되는 복원 클럭에 응답하여 상기 복원셀의 출력을 게이팅하는 제1스위칭부;

상기 제1스위칭부를 통해 전달된 상기 복원셀의 출력을 증폭하고 저장하는 제1 래치;

상기 복원 클럭의 반전 클럭에 응답하여 상기 제1 래치의 출력을 게이팅하는 제2스위칭부; 및

상기 제2스위칭부를 통해 전달된 상기 제1 래치의 출력을 증폭하고 저장하며 상기 출력 데이터를 출력하는 제2 래치를 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 9】

복수개의 복원클럭들에 응답하여, 입력 데이터를 서로 상기 입력 데이터의 주기 만큼의 시간차를 갖는 복수개의 입력 데이터로 디멀티플렉싱하고, 상기 복수개의 디멀티플렉스된 입력 데이터의 각각에 대해 손실된 고주파 성분을 복원하여 출력하는 복원 회로; 및

상기 복원 클럭들에 응답하여, 상기 복원 회로의 복수개의 출력 데이터를 멀티플렉싱하여 순차적으로 하나씩 출력하는 멀티플렉서를 구비하는 것을 특징으로 하는 고주파 복원기.

【청구항 10】

제9항에 있어서, 상기 복원 회로는,

1999/5/31

상기 복원클럭들에 응답하여 상기 입력 데이터를 서로 상기 주기 만큼의 시간차를 갖는 상기 복수개의 입력 데이터로 디멀티플렉싱하는 디멀티플렉서; 및

각각 상기 복수개의 입력 데이터중 현재의 입력 데이터와 상기 한 주기시간 이전의 입력 데이터를 받아 상기 현재의 입력 데이터의 손실된 고주파 성분을 복원하고, 복원된 입력 데이터를 대응되는 복원 클럭에 응답하여 출력 데이터로서 출력하는 복수개의 단위 복원 회로들을 구비하는 것을 특징으로 하는 고주파 복원기.

【청구항 11】

제10항에 있어서, 상기 단위 복원 회로는,

상기 현재의 입력 데이터와 상기 이전 입력 데이터를 받아 상기 현재의 입력 데이터의 손실된 고주파 성분을 복원하는 복원셀; 및

상기 대응되는 복원 클럭에 응답하여 상기 복원셀의 출력을 저장하고 증폭하여 상기 출력 데이터를 출력하는 래치회로를 구비하는 것을 특징으로 하는 고주파 복원기.

【청구항 12】

제11항에 있어서, 상기 복원셀은,

전류 소오스;

보상용 전류 소오스;

상기 현재의 입력 데이터와 기준전압에 응답하여, 상기 전류 소오스로부터 공급되는 전류를 증폭하는 제1전류증폭 회로;

1999/5/31

상기 이전 입력 데이터와 상기 기준전압에 응답하여, 상기 보상용 전류 소오스로부터 공급되는 전류를 증폭하는 제2전류증폭 회로;

상기 제1전류증폭 회로의 일측 출력단자와 상기 제2전류증폭 회로의 일측 출력단자에 공통 접속되고, 이 두 출력단자들로부터 출력되는 전류들의 차이에 비례하는 전류를 출력하는 제1전류 출력 트랜지스터; 및

상기 제1전류증폭 회로의 타측 출력단자와 상기 제2전류증폭 회로의 타측 출력단자에 공통 접속되고, 이 두 출력단자들로부터 출력되는 전류들의 차이에 비례하는 전류를 출력하는 제2전류 출력 트랜지스터를 구비하는 것을 특징으로 하는 고주파 복원기.

【청구항 13】

제11항에 있어서, 상기 래치회로는,

상기 대응되는 복원 클럭에 응답하여 상기 복원셀의 출력을 게이팅하는 제1스위칭부;

상기 제1스위칭부를 통해 전달된 상기 복원셀의 출력을 증폭하고 저장하는 제1래치;

상기 복원 클럭의 반전 클럭에 응답하여 상기 제1래치의 출력을 게이팅하는 제2스위칭부; 및

상기 제2스위칭부를 통해 전달된 상기 제1래치의 출력을 증폭하고 저장하며 상기 출력 데이터를 출력하는 제2래치를 구비하는 것을 특징으로 하는 고주파 복원기.

1999/5/31

【청구항 14】

전류 소오스;

보상용 전류 소오스;

현재의 입력 데이터와 기준전압에 응답하여, 상기 전류 소오스로부터 공급되는 전류를 증폭하는 제1전류증폭 회로;

상기 현재 입력 데이터의 한 주기시간 이전의 입력 데이터와 상기 기준전압에 응답하여, 상기 보상용 전류 소오스로부터 공급되는 전류를 증폭하는 제2전류증폭 회로;

상기 제1전류증폭 회로의 일측 출력단자와 상기 제2전류증폭 회로의 일측 출력단자에 공통 접속되고, 이 두 출력단자들로부터 출력되는 전류들의 차이에 비례하는 전류를 출력하는 제1전류 출력 트랜지스터; 및

상기 제1전류증폭 회로의 타측 출력단자와 상기 제2전류증폭 회로의 타측 출력단자에 공통 접속되고, 이 두 출력단자들로부터 출력되는 전류들의 차이에 비례하는 전류를 출력하는 제2전류 출력 트랜지스터를 구비하는 것을 특징으로 하는 단위 복원 회로.

【청구항 15】

제14항에 있어서, 상기 제1전류증폭 회로는,

소오스가 상기 전류 소오스에 접속되고 게이트에 상기 현재의 입력 데이터가 인가되며 드레인이 상기 제1전류 출력 트랜지스터에 접속되는 제1피모스 트랜지스터; 및

1999/5/31

소오스가 상기 전류 소오스에 접속되고 게이트에 상기 기준전압이 인가되며 드레인이 상기 제2전류 출력 트랜지스터에 접속되는 제2피모스 트랜지스터를 구비하는 것을 특징으로 하는 단위 복원 회로.

【청구항 16】

제14항에 있어서, 상기 제2전류증폭 회로는,

소오스가 상기 보상용 전류 소오스에 접속되고 게이트에 상기 이전 입력 데이터가 인가되며 드레인이 상기 제2전류 출력 트랜지스터에 접속되는 제1피모스 트랜지스터; 및

소오스가 상기 보상용 전류 소오스에 접속되고 게이트에 상기 기준전압이 인가되며 드레인이 상기 제1전류 출력 트랜지스터에 접속되는 제2피모스 트랜지스터를 구비하는 것을 특징으로 하는 단위 복원 회로.

【청구항 17】

제14항에 있어서, 상기 제1전류 출력 트랜지스터는,

드레인과 게이트가 상기 제1전류증폭 회로의 일측 출력단자와 상기 제2전류증폭 회로의 일측 출력단자에 공통 접속되고 소오스가 접지되는 엔모스 트랜지스터인 것을 특징으로 하는 단위 복원 회로.

【청구항 18】

제14항에 있어서, 상기 제2전류 출력 트랜지스터는,

드레인과 게이트가 상기 제1전류증폭 회로의 타측 출력단자와 상기 제2전류증폭 회로의 타측 출력단자에 공통 접속되고 소오스가 접지되는 엔모스 트랜지스터인

1999/5/31

것을 특징으로 하는 단위 복원 회로.

【청구항 19】

제14항에 있어서, 복원 클럭에 응답하여 상기 제1 및 제2전류 출력 트랜지스터의 출력들을 저장하고 증폭하여 출력하는 래치회로를 더 구비하는 것을 특징으로 하는 단위 복원 회로.

【청구항 20】

제19항에 있어서, 상기 래치회로는,

상기 복원 클럭에 응답하여 상기 제1 및 제2전류 출력 트랜지스터의 출력들을 게이팅하는 제1스위칭부;

상기 제1스위칭부를 통해 전달된 상기 제1 및 제2전류 출력 트랜지스터의 출력들을 증폭하고 저장하는 제1래치;

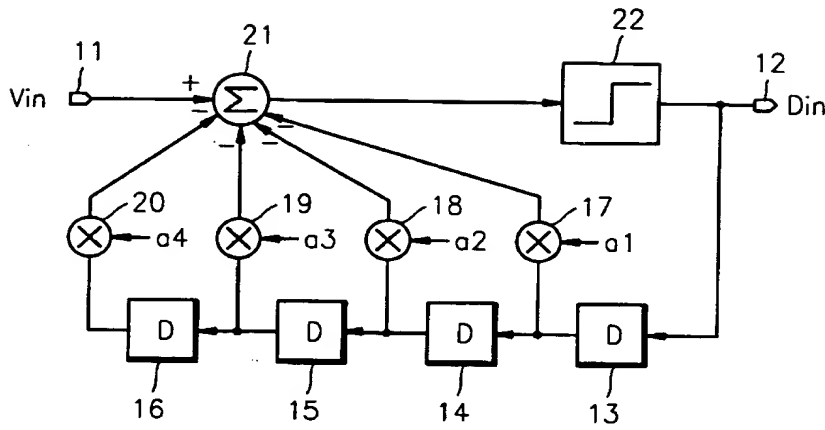
상기 복원 클럭의 반전 클럭에 응답하여 상기 제1래치의 출력을 게이팅하는 제2스위칭부; 및

상기 제2스위칭부를 통해 전달된 상기 제1래치의 출력을 증폭하고 저장하며 상기 출력 데이터를 출력하는 제2래치를 구비하는 것을 특징으로 하는 단위 복원 회로.

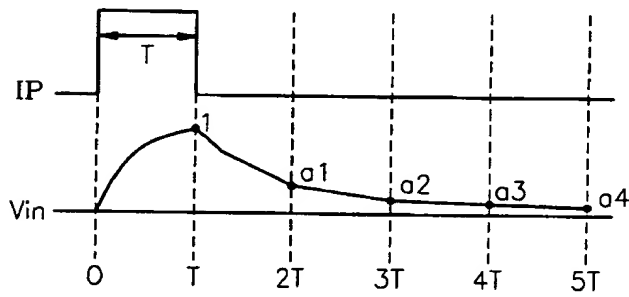
1999/5/31

【도면】

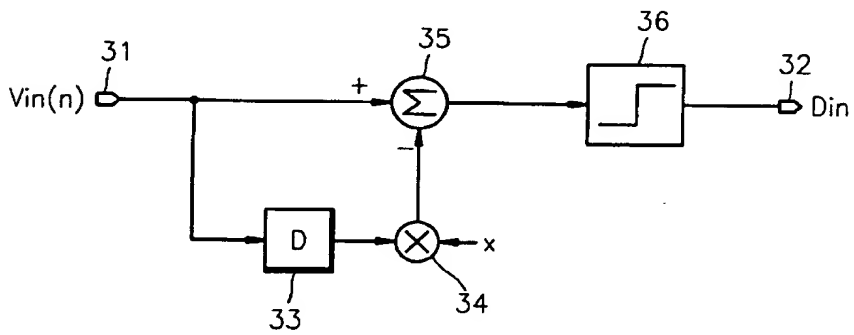
【도 1】



【도 2】

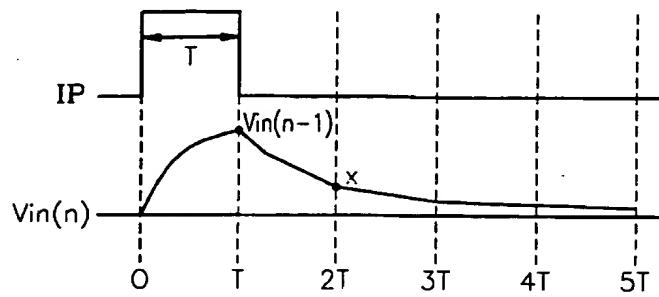


【도 3】

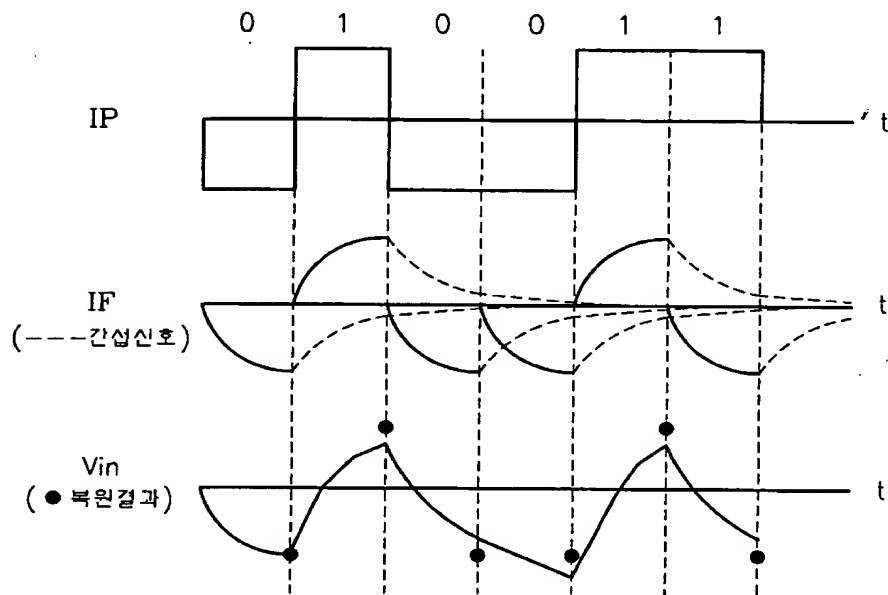


1999/5/31

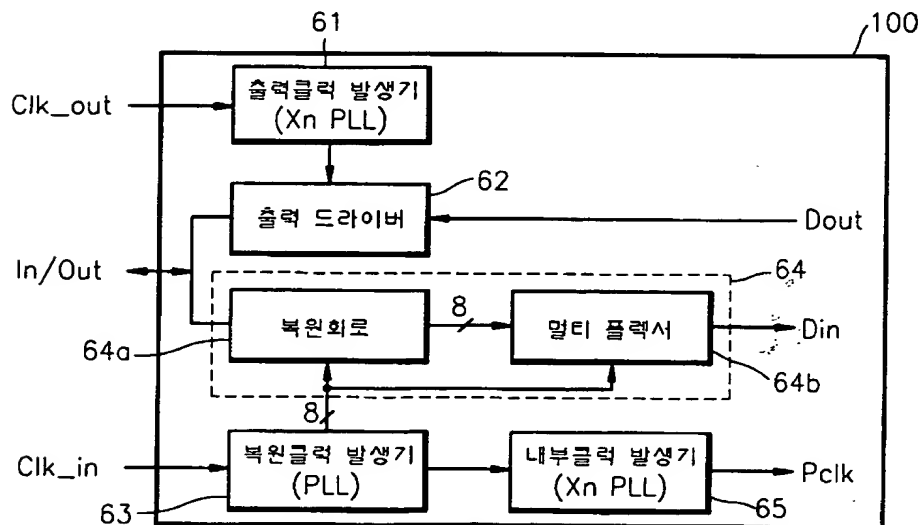
【도 4】



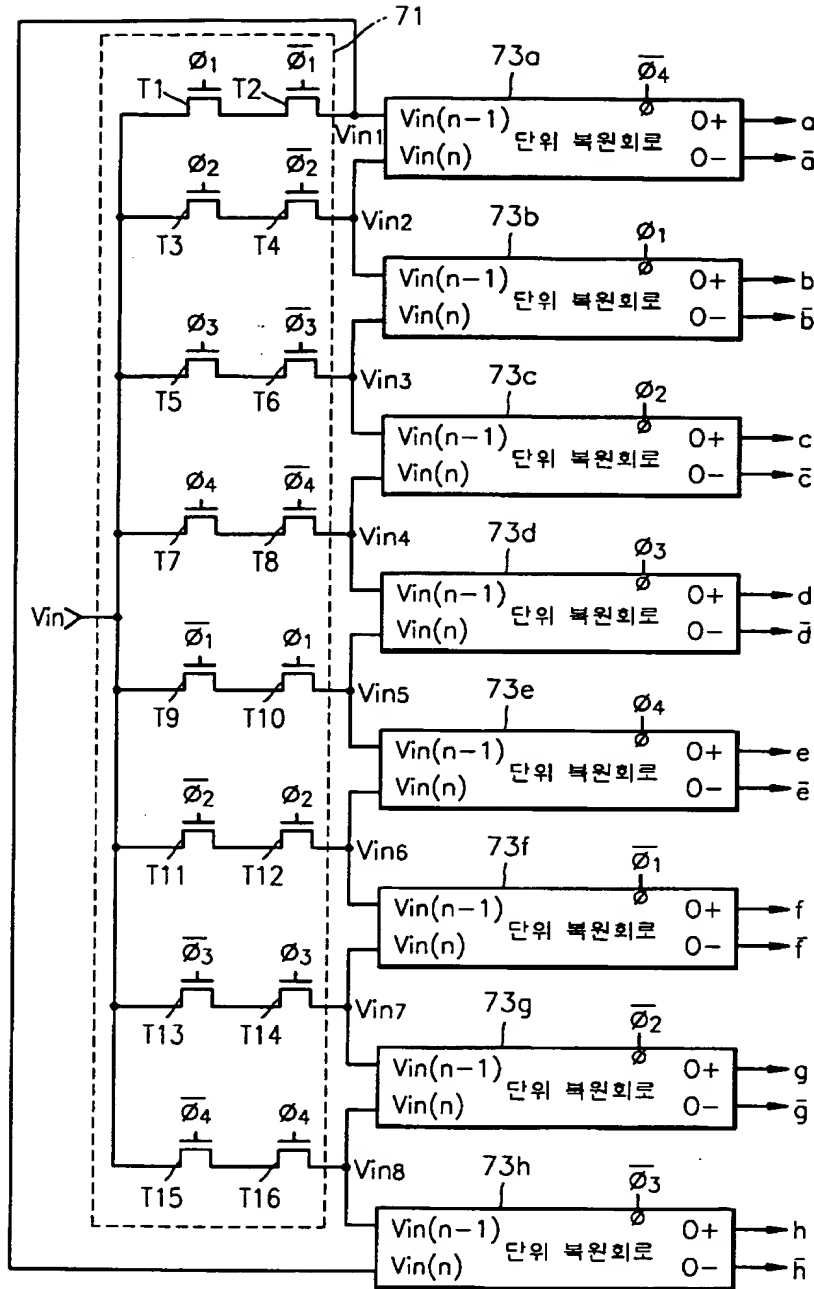
【도 5】



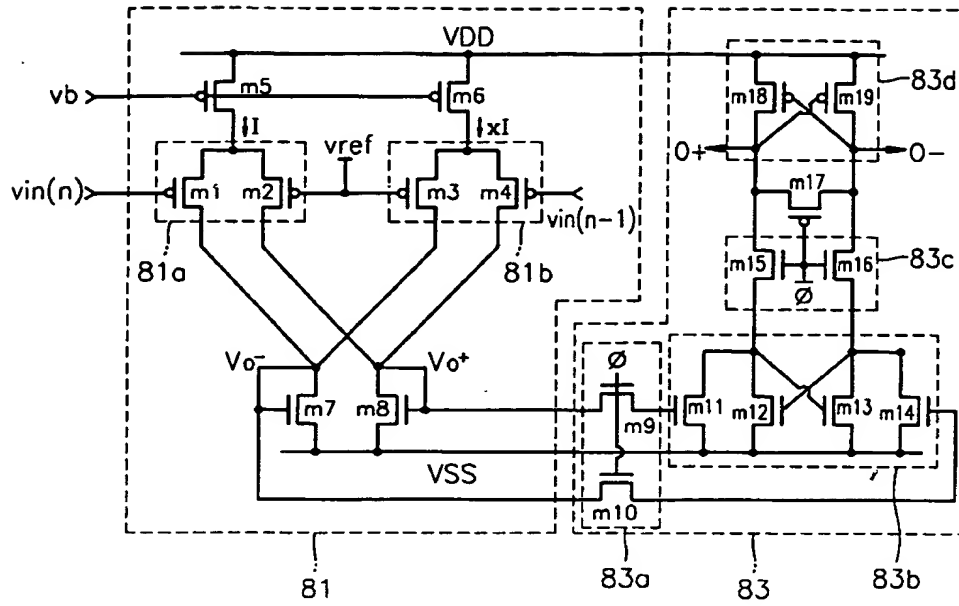
【도 6】



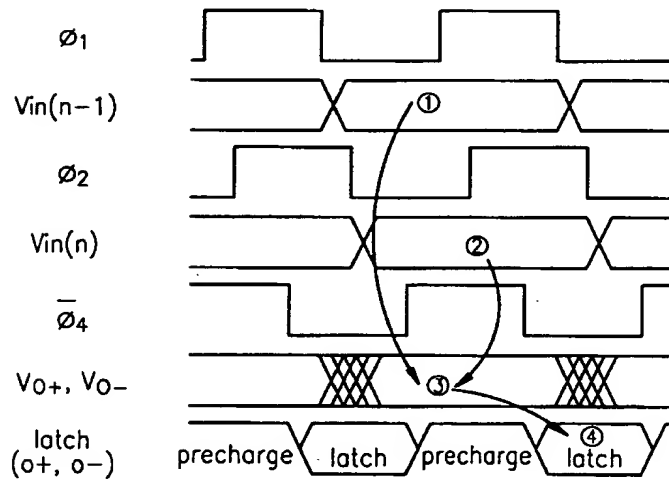
【도 7】



【図 8】

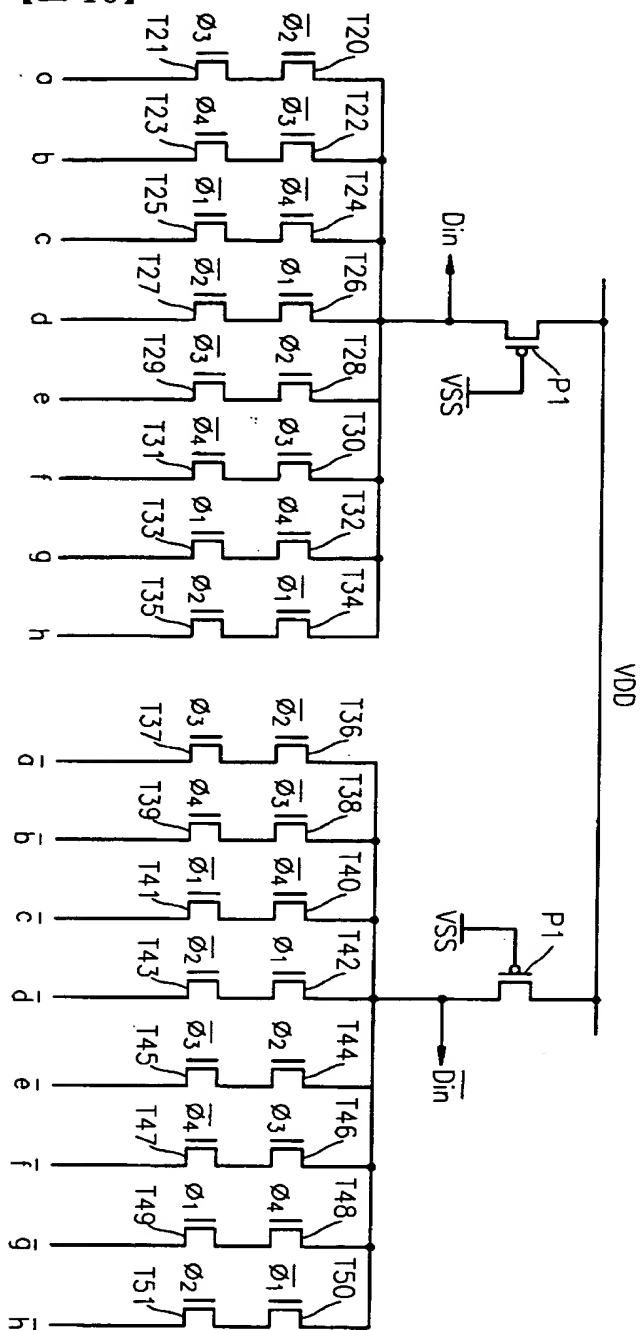


【図 9】



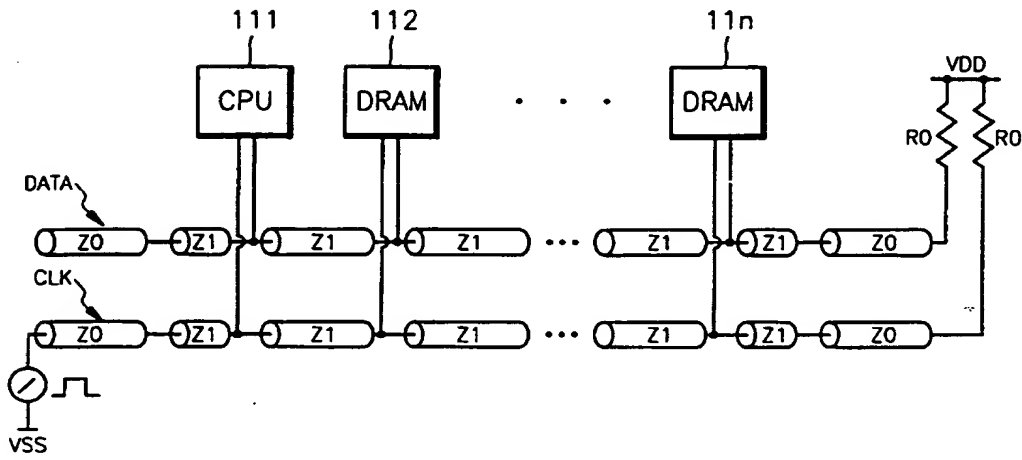
1999/5/31

【图 10】

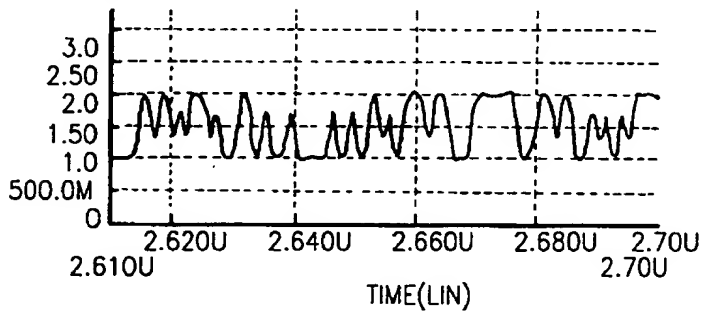


1999/5/31

【도 11】



【도 12a】



【도 12b】

